

# 量子元胞自动机共面五输入 择多门结构的分析与设计

邓飞飞,解光军,王晓旻,程 心,张永强  
(合肥工业大学电子科学与应用物理学院,安徽合肥 230009)

**摘 要:** 量子元胞自动机(Quantum-dot Cellular Automata, QCA)是一种具有新型计算范式的纳米器件,它是未来有望替代传统 CMOS 器件的有力竞争者之一. 本文首先从 QCA 器件的功耗角度出发,对影响半径为 41nm 的 QCA 共面系统中元胞的耦合度进行建模,根据元胞之间的位置关系构造 QCA 门结构模型,据此对现有的共面五输入择多门进行分类,通过性能分析总结其结构特点,以此设计出一个新的低功耗五输入择多门,测试结果表明该结构功耗最低且其他性能也相对较优. 另外,为验证所提出五输入择多门在电路中的性能,本文选择 MR Azghadi 全加器设计了一款共面 QCA 全加器,与同类加法器相比性能也最优.

**关键词:** 量子元胞自动机; 五输入择多门; 功耗模型; 全加器

**中图分类号:** TN389 **文献标识码:** A **文章编号:** 0372-2112 (2020)05-0861-09

**电子学报 URL:** <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2020.05.005

## Analysis and Design of Coplanar Five-Input Majority Gate in Quantum-Dot Cellular Automata

DENG Fei-fei, XIE Guang-jun, WANG Xiao-yang, CHENG Xin, ZHANG Yong-qiang  
(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China)

**Abstract:** Quantum-dot cellular automata (QCA) is a kind of nano-devices with special computing paradigm, which is one of powerful competitors to replace traditional CMOS devices in the future. Based on the power consumption model in QCA technology, the coupling strength between cells in coplanar systems is modeled for radius of 41nm. The QCA gate structure model is then constructed according to the locations of cells to classify existing coplanar five-input majority gates. By characterizing their performances, a new low-power five-input majority gate is proposed. Simulation results demonstrate that the proposed gate has lowest power consumption and performs better than other gates. To verify its properties in practical applications, a new coplanar QCA full adder is designed by means of MR Azghadi full adder, which has the best performance among similar adders.

**Key words:** quantum-dot cellular automata; five-input majority gate; power consumption model; full adder

### 1 引言

CMOS 器件特征尺寸的不断缩减导致器件整体功耗、互连线面积增大,引发信息传递时延、漏电流及寄生效应等一系列问题<sup>[1]</sup>. 为解决这些问题,纳米技术可能是一个很好的选择方案. 国际半导体技术发展路线图(International Technology Roadmap for Semiconductors, ITRS)列出了一些有潜力的纳米器件,其中量子元胞自动机以独特的信息传递方式构成新的计算范式,通过范德华力而非带电粒子作用,使其具有速度快、密度高、功耗低等优点. QCA 的最基本单元是元胞,元胞内电子的两种排布

状态编码了二进制 0 和 1. QCA 最核心的逻辑器件是择多门<sup>[2]</sup>,根据输入端数量划分为三输入和五输入择多门等. 随着电路复杂度的增加,三输入择多门逐渐无法满足现有的需求,需要更多输入端的择多门减少 QCA 电路的逻辑深度,减少使用的门数量,进而降低电路成本.

Navi 等人首次提出共面的五输入择多门<sup>[3]</sup>,该门面积小、复杂度低,但输出元胞位于器件中心,在应用时常采用异面结构. 之后, Navi 等人又提出可用于共面结构的五输入择多门<sup>[4]</sup>,该门最大的亮点是通过固定两个输入元胞的极化率设计异或门. 目前各种结构的共面五输入择多门被相继提出<sup>[5-17]</sup>,然而这些门结构更

多是研究者们的大量尝试,性能各异,没有一个完整的设计共面五输入择多门的方法。

本文首先对 QCA 元胞的耦合作用建模,以定性反映元胞之间的相互作用,并构造 QCA 门的结构模型,设置输入、输出及传输区域.再划分现有的共面五输入择多门类型,软件测试和分析得出共面低功耗五输入择多门的结构特点.最后指导设计一个新型共面高性能五输入择多门,同时为了研究该门的具体应用,用 MR Azghadi 全加器<sup>[18]</sup>设计共面 QCA 全加器,对比同类共面全加器,其性能最优。

## 2 基础知识

### 2.1 五输入择多门

作为一种核心的逻辑器件,五输入择多门以表决的方式处理布尔信号,输出信号与五个输入中最多的极化状态相同.若输入端为  $A, B, C, D$  和  $E$ ,其表达式为:

$$M(A, B, C, D, E) = ABC + ABD + ABE + ACD + ACE + ADE + BCD + BCE + BDE + CDE \quad (1)$$

### 2.2 扭结能

假设两个元胞  $m, n$  相邻,元胞总的静电能为:

$$E = \frac{1}{4\pi\epsilon_0\epsilon_r} \sum_{i=1}^4 \sum_{j=1}^4 \frac{q_i^m q_j^n}{r_{ij}} \quad (2)$$

式中  $\epsilon_0, \epsilon_r$  是真空介电常数和相对介电常数,  $q_i, q_j$  是元胞  $m, n$  内量子点  $i, j$  中的电荷,  $r_{ij}$  是量子点  $i, j$  的距离.扭结能是指元胞间库仑作用能,反映元胞传输错误的成本,表示为:

$$E_k = E_{opp. polarization} - E_{same. polarization} \quad (3)$$

## 3 五输入择多门低功耗结构








### 3.1 元胞间耦合度的定义

在 QCAPro<sup>[19]</sup> 功耗模型中,在元胞尺寸、工作温度等给定的情况下,可以独立计算单个元胞的功耗,对每个元胞的功耗求和得到电路的总功耗  $P$ ,故一个 QCA 电路的总功耗与单个元胞的功耗及元胞数量(复杂度)有关.单个元胞的功耗与元胞间的相互作用强度有关,  $E_k \sum fP$  表示元胞间相互作用.由于  $E_k$  为定值,  $P$  的值仅取 1 和 -1,提取几何因子  $f$ ,定义  $\sum f$  为元胞与其周围元胞间的耦合程度,简称耦合度.耦合度的大小由元胞间的位置关系及周围元胞数量决定,可定性反映单个元胞与周围元胞相互作用的强度. QCA 电路的总耦合度由各个元胞的耦合度求和可得。

在 QCA 共面系统中,两个元胞常见的位置关系有 40 种,除去对称性,基本的位置关系有 7 种,分别称为  $a$  型、 $b$  型、 $c$  型、 $d$  型、 $e$  型、 $f$  型和  $g$  型,由扭结能计算出这

7 种位置关系的几何因子  $f$ .表 1 为两个正常元胞的位置关系及几何因子的数值.若单个元胞受多个元胞影响时,可分解为上述七种情况计算  $\sum f$ ,并以此表示其他元胞与该元胞的耦合度。

表 1 基本位置及几何因子

编号	位置关系	距离 (nm)	扭结能 ( $\times 10^{-23}$ J)	权重 ( $E_k$ )	几何因子
$a$		20	24.829	1	1
$b$		30	8.184	0.33	0.33
$c$		40	7.633	0.31	0.31
$d$		$10\sqrt{5}$	-9.388	-0.38	-0.38
$e$		$20\sqrt{2}$	-9.188	-0.37	-0.37
$f$		$10\sqrt{13}$	-7.673	-0.31	-0.31
$g$		$10\sqrt{10}$	7.617	0.31	0.31

### 3.2 构造门结构模型

在 QCA 的仿真工具 QCADesigner 中<sup>[20]</sup>,使用影响半径为 41nm 的双稳态仿真引擎仿真时,一个驱动元胞在单层单个方向上最多可以影响两个元胞.根据元胞间不同的位置关系构成不同的影响模型,如图 1(a)所示,由  $a$  型、 $c$  型和  $e$  型位置关系构成的影响模型,称为近邻、次近邻和对角型影响模型,简称 NND 型。

定义元胞所在的位置为元胞区域,简称区域,则输入输出元胞所在的位置称为输入输出区域.负责传输与处理信号的位置称为传输区域.在 NND 型模型中,设区域 1 为中心区域,在其影响半径内一共有 12 个区域,

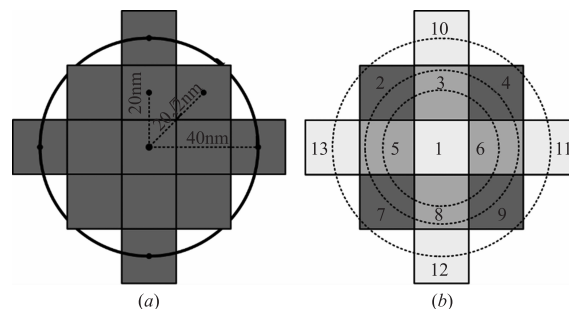


图 1 NND 型门结构模型及元胞区域

如图 1(b) 所示, 标号从 2 到 13, 其中区域 3、5、6、8 与区域 1 的位置关系为 *a* 型, 可以将这四个区域视为等价区域. 同理, 区域 2、4、7、8 和区域 10、11、12、13 亦为等价区域. 在设计门电路时, 先利用等价区域构造传输区域, 再决定输入输出区域的分布. 当然传输区域的不同, 构建门电路时所需的复杂度和耦合度也不同, 电路的功耗也将相差很大.

在 NND 模型基础上, 对区域进行平移, 可以得到含移位的 NND 型模型, 简称 DNND 型. DNND 型在影响半径为 41nm 的共面系统中不仅包含 *a* 型、*c* 型和 *e* 型位置关系, 还至少包含 *d* 型、*e* 型 *f* 型及 *g* 型中一种位置关系.

值得注意的是, 在影响半径为 65nm 的 QCA 共面系统中, 也同样存在 NND 型与 DNND 型模型, 包含的位置关系发生了变化. 除了这两种模型之外, 在 QCA 的异面系统中可建立类似的模型. 由于本文讨论的是 QCA 共面五输入择多门的设计, 异面系统的影响模型暂不考虑.

### 3.3 共面五输入择多门的划分

2010 年, Navi 等人提出第一个共面五输入择多门<sup>[3]</sup>, 其结构如图 2 所示, 为 NND 型结构. 目前为 NND 型的共面五输入择多门<sup>[3-8,10,12,14-17]</sup> 如图 3 所示. 值得注意的是图 3(j) 所示的择多门只属于影响半径为 65nm 的 NND 型结构. 类似的, 目前有三个共面的五输入择多门<sup>[9,11,13]</sup> 属于 DNND 型, 如图 4 所示, 其中图 4(b) 也只属于影响半径为 65nm 的 DNND 型结构.

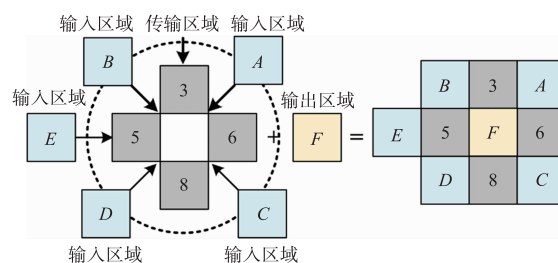


图2 文献[3]中门的区域构成

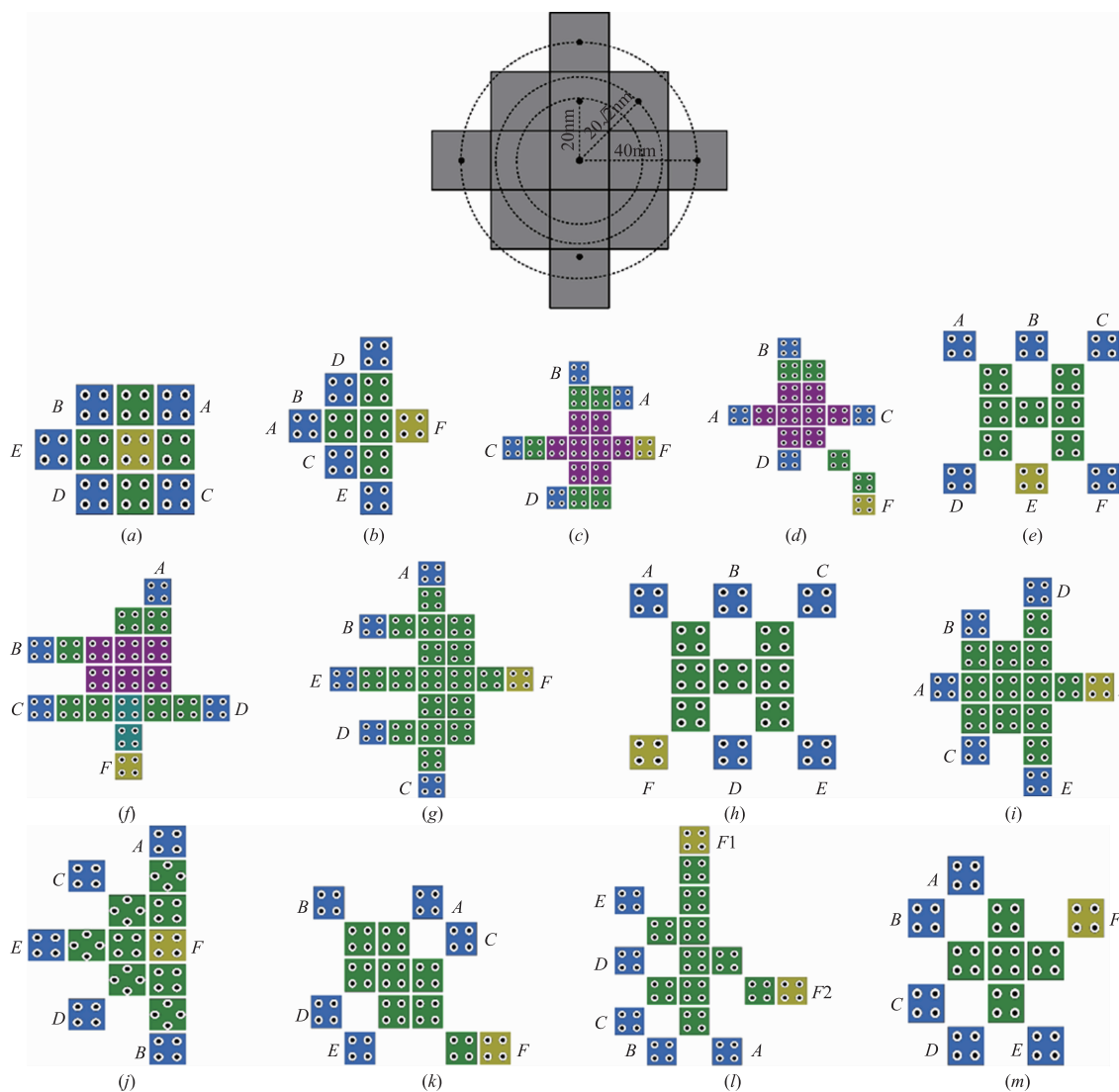


图3 NND型五输入择多门

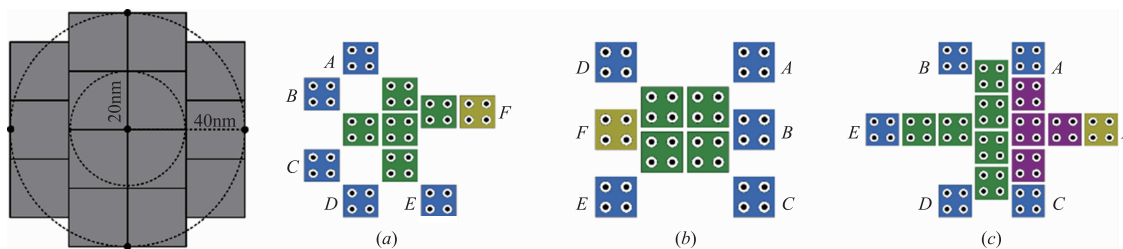


图4 DNND型五输入择多门

### 3.4 低功耗五输入择多门的特点

现有共面五输入择多门功耗如表格 2 所示. 温度为  $2K$ , 隧穿能为  $0.5E_k$  时, 五输入择多门的功耗与复杂度之间的关系如图 5 所示. 择多门的功耗和其复杂度成正相关, 随着复杂度的增加, 电路的功耗也有增加的趋势. 在 DNND 型结构中, 也有同样的结论. 低功耗择多门的特点之一就是低复杂度, 由于五输入择多门的输入和输出数量都固定, 所以低复杂度的门结构就需要低复杂度的传输区域.

由图 5 可知, 电路功耗不一定随复杂度的降低而减小, 这就牵涉到低功耗择多门的第二个特点—低耦合度. 在影响半径为  $41nm$  的共面系统中, 低复杂度的 NND 型和 DNND 型五输入择多门的耦合度如表 3 所示. 图 6 给出温度为  $2K$ , 隧穿能为  $0.5E_k$  时, 门电路的功耗与耦合度之间的关系, 门电路的功耗与耦合度也成正相关, 电路耦合度增加, 电路功耗也有变高的趋势. 这是因为电路的耦合度的增加, 单个元胞的平均耦合度增加, 单个元胞与周围元胞的相互作用也有可能变强, 单个元胞的功耗将会增加, 电路总功耗也就变高. 单个元胞耦合度的大小由元胞间的位置关系及周围元胞数量决定, 电路的总耦合度表示为:

$$C_{\text{总}} = C_1 + C_2 + \dots + C_n \quad (4)$$

$$C_{\text{单}} = f_1 + f_2 + \dots + f_m, m < n \quad (5)$$

在低复杂度的电路结构中,  $n$  的值较小, 故  $m$  的值将更小, 单个元胞的耦合度主要决定于元胞间的位置关系. 在  $41nm$  影响半径的 QCA 系统中, 代表  $a$  型位置关系的几何因子的值远大于其他位置关系的几何因子的值, 所以低耦合度的结构就需要减少  $a$  型位置关系的数量.

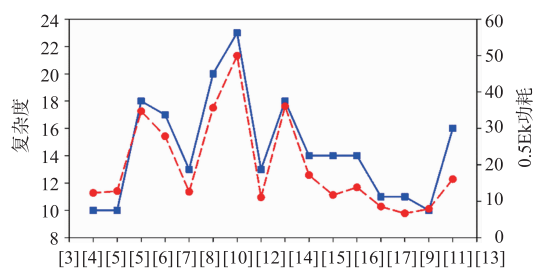


图5 低复杂度门结构复杂度与功耗的关系

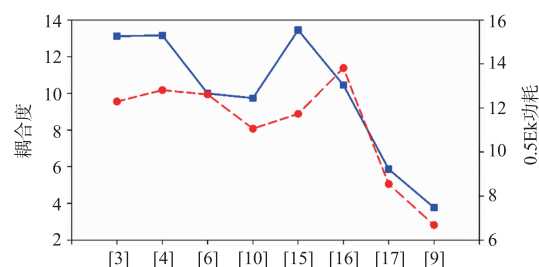


图6 低复杂度门结构的功耗与耦合度的关系

## 4 新型低功耗五输入择多门

### 4.1 低功耗五输入择多门的结构

通过上述分析, 低功耗五输入择多门的特点是低复杂度和低耦合度. 采用影响半径为  $41nm$  的共面系统中的 NND 模型. 为减少传输区域及  $a$  型位置关系的数量, 将区域 1、2、4、7、9 设置为传输区域, 如图 7(a) 所示, 并选取区域 2、7 和 9 接收输入信息, 区域 4 处理信息并将处理后的信息传递给输出区域. 在传输区域外连接输入区域即构成五输入择多门如图 7(b) 所示. 基于图 7 中的五输入结构, 可以设计一个全新的低功耗五输入择多门, 如图 8(a) 所示, 其仿真结果如图 8(b) 所示.

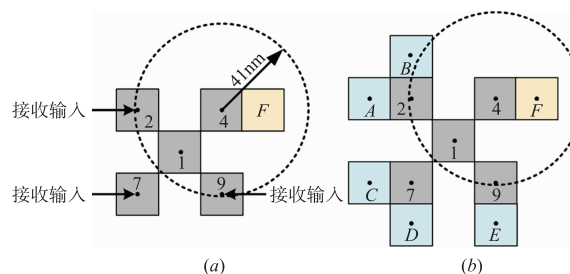


图7 低功耗五输入择多门结构

### 4.2 低功耗五输入择多门的性质

根据提出的门结构模型及低功耗五输入择多门的结构特点, 本文设计出一个新型的低功耗五输入择多门, 该门使用 11 个元胞, 其中 5 个输入元胞, 5 个传输元胞, 1 个输出元胞. 同时只使用了 7 个  $a$  型位置关系. 表格 4 列出了温度为  $2K$ , 隧穿能在  $0.5E_k$ 、 $1.0E_k$  及  $1.5E_k$  该门的功耗值, 与以往的五输入择多门相比, 该择多门的功耗最低. 在表格 5 中, 从复杂度、面积、输出

极化值及应用方面与现有的共面五输入择多门<sup>[3-17]</sup>做了对比. 由表可知, 提出的择多门, 使用较少的元胞和面积, 实现较完全的输出极化值, 该门可以用于共面电

路中. 由于择多门只属于基础门器件, 在表格 5 中没有比较时钟延迟, 可比较含有这些门的具体电路的延迟反映它们的特性.

表 2 现有五输入择多门复杂度及功耗

五输入择多门	复杂度	Average Energy Dissipation (meV)			Average Leakage Energy Dissipation (meV)			Average Switching Energy Dissipation (meV)			
		$0.50E_k$	$1.00E_k$	$1.50E_k$	$0.50E_k$	$1.00E_k$	$1.50E_k$	$0.50E_k$	$1.00E_k$	$1.50E_k$	
NND 型	[3]	10	12.29	14.09	16.50	1.35	4.25	7.80	10.94	9.84	8.70
	[4]	10	12.81	14.51	16.85	1.28	4.14	7.69	11.53	10.37	9.16
	[5]	18	34.74	40.12	47.04	4.21	12.45	22.18	30.53	27.67	24.86
	[5]	17	27.84	33.37	40.27	4.45	12.62	22.02	23.39	20.75	18.25
	[6]	13	12.61	16.65	21.44	3.38	8.95	15.03	9.23	7.70	6.41
	[7]	20	35.66	41.85	49.94	4.41	13.55	24.73	31.24	28.31	25.21
	[8]	23	49.96	55.84	63.90	4.44	14.25	26.61	45.51	41.59	37.29
	[10]	13	11.06	15.45	20.49	3.72	9.34	15.39	7.34	6.12	5.10
	[12]	18	36.10	40.56	46.53	3.44	10.67	19.52	32.66	29.89	27.01
	[14]	14	17.19	21.15	26.11	3.22	9.11	15.85	13.97	12.04	10.26
	[15]	14	11.73	16.61	22.84	5.06	11.94	19.07	6.68	4.67	3.77
	[16]	14	13.81	18.44	23.90	3.96	10.29	17.14	9.86	8.15	6.76
	[17]	11	8.54	11.71	15.45	2.68	7.04	11.67	5.86	4.68	3.79
DNND 型	[9]	11	6.68	10.50	14.50	2.99	7.73	12.35	3.69	2.77	2.15
	[11]	10	7.90	10.34	13.31	2.00	5.53	9.41	5.90	4.80	3.90
	[13]	16	16.08	21.73	28.49	4.69	12.71	21.26	11.38	9.02	7.20

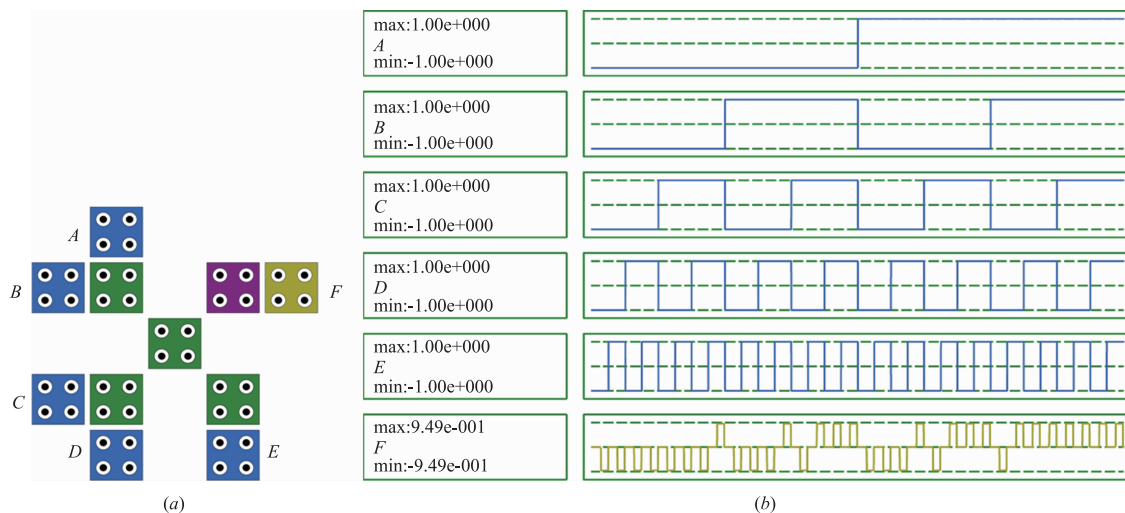


图8 低功耗五输入择多门及仿真结果

表 3 低复杂度五输入择多门的耦合度

五输入择多门	复杂度	耦合度
NND 型	[3]	10
	[4]	10
	[6]	13
	[10]	13
	[15]	14
	[16]	14
	[17]	11
DNND 型	[9]	11

4.3 基于五输入择多门的 QCA 全加器

本文以全加器为例,分析基于提出的五输入择多门设计的电路的各方面参数,进而评价该门的性能.对于 QCA 中的全加器,MR Azghadi 用五输入择多门简化逻辑函数如式(6)和式(7)所示. QCA 全加器的逻辑图如图 9 所示,输入为操作数 A 和 B 和进位输入 CIN,输出为求和 SUM 和进位输出 COUT,即:

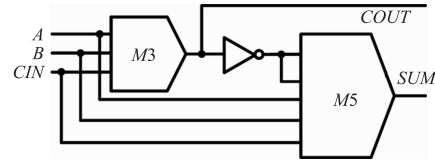


图9 MRAzghadi型全加器逻辑图

$$COUT = AB + ACIN + BCIN = M(A, B, CIN) \quad (6)$$

$$SUM = M(M(A, B, CIN), \overline{M(A, B, CIN)}, A, B, CIN) \quad (7)$$

图 10(a) 是基于提出的五输入择多门设计的全加器,图 10(b) 的仿真结果验证了其功能的正确性. 表格 6 列出了提出的全加器和文献中采用公式(7)及图 9 结构的全加器<sup>[3-7,10,11,14,16,17,21-32]</sup>的电路参数,由表可知,提出的全加器在共面全加器中复杂度减少了 26.32% ~ 76.47%,面积减少了 50% ~ 80%,延迟减少了 33.33% ~ 75.00%. 表格 7 列出了共面全加器<sup>[6,7,10,11,14,16,17,28,30-32]</sup>的功耗结果. 由表可知,本文提出的全加器的功耗也是最低的,并与之前最低功耗的全加器在隧穿能为 0.5E<sub>k</sub>, 1.0E<sub>k</sub> 及 1.5E<sub>k</sub> 时分别减少了 17.74%、22.29% 和 24.74%. 因此,可以认为本文提出的五输入择多门有助于设计低成本的全加器 QCA 电路.

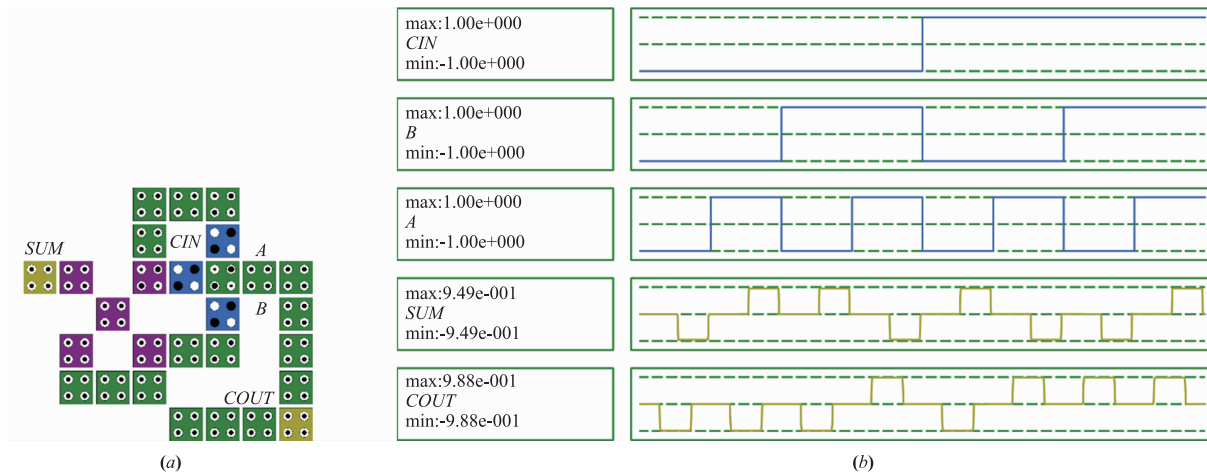


图10 本文提出的全加器及仿真结果

表 4 新型五输入择多门的功耗

复杂度	Average Energy Dissipation (meV)			Average Leakage Energy Dissipation (meV)			Average Switching Energy Dissipation (meV)		
	0.50E <sub>k</sub>	1.00E <sub>k</sub>	1.50E <sub>k</sub>	0.50E <sub>k</sub>	1.00E <sub>k</sub>	1.50E <sub>k</sub>	0.50E <sub>k</sub>	1.00E <sub>k</sub>	1.50E <sub>k</sub>
11	6.53	10.17	14.24	3.22	7.85	12.50	3.31	2.33	1.74

表 5 共面五输入择多门的性能

五输入择多门		复杂度	面积( $\text{nm}^2$ )	输出极化值	应用
NND 型	本文提出	11	11858	0.950	共面
	[3]	10	6318	0.996	异面
	[4]	10	9438	0.954	异面
	[5]	18	19458	0.955	共面
	[5]	17	21358	0.950	共面
	[6]	13	11858	0.824	共面
	[7]	20	22218	0.954	共面
	[8]	23	27738	0.952	共面
	[10]	13	11858	0.618	共面
	[12]	18	18998	0.953	共面
	[14]	14	12558	0.994	共面
	[15]	14	14278	0.951	共面
	[16]	14	16638	0.950	共面
	[17]	11	11858	0.512	共面
	DNND 型	[9]	11	11858	0.949
[11]		10	7878	0.908	共面
[13]		16	16698	0.954	共面

表 6 全加器的性能

全加器	复杂度	面积( $\mu\text{m}^2$ )	延迟	类型
[3]	61	0.03	0.75	异面
[4]	73	0.04	0.75	异面
[5]	51	0.03	0.75	异面
[5]	79	0.05	1.25	异面
[21]	31	0.01	0.50	异面
[22]	95	0.09	2.00	异面
[23]	31	0.02	0.75	异面
[24]	30	0.004	1.00	异面
[25]	23	0.01	0.75	异面
[26]	38	0.02	0.75	异面
[27]	22	0.01	0.75	异面
[6]	52	0.04	0.75	共面
[7]	71	0.06	1.25	共面
[10]	48	0.05	0.75	共面
[11]	49	0.04	1.00	共面
[14]	119	0.1	1.00	共面
[16]	38	0.04	0.75	共面
[17]	46	0.04	1.00	共面
[28]	95	0.09	1.25	共面
[29]	63	0.05	0.75	共面
[30]	108	0.08	1.00	共面
[31]	118	0.10	0.75	共面
[32]	96	0.10	2.00	共面
本文	28	0.02	0.50	共面

表 7 共面全加器功耗

全加器	Average Energy Dissipation (meV)			Average Leakage Energy Dissipation (meV)			Average Switching Energy Dissipation (meV)		
	0.50E <sub>k</sub>	1.00E <sub>k</sub>	1.50E <sub>k</sub>	0.50E <sub>k</sub>	1.00E <sub>k</sub>	1.50E <sub>k</sub>	0.50E <sub>k</sub>	1.00E <sub>k</sub>	1.50E <sub>k</sub>
[6]	103.19	123.01	148.50	15.48	45.89	82.05	87.71	77.12	66.45
[7]	120.91	149.82	186.44	20.75	61.99	110.46	100.16	87.83	75.98
[10]	89.34	107.85	131.26	14.00	41.34	73.83	75.35	66.51	57.44
[11]	80.49	101.54	127.79	16.98	48.47	83.66	63.51	53.07	44.13
[14]	300.05	378.74	475.95	59.66	172.22	301.34	240.39	206.52	174.61
[16]	53.54	71.48	92.72	13.19	36.34	62.58	40.36	35.14	30.14
[17]	76.64	96.15	120.50	15.75	44.93	77.69	60.89	51.22	42.82
[28]	129.58	171.56	224.60	25.77	79.67	144.52	103.81	91.89	80.08
[30]	245.78	291.20	350.62	34.80	105.84	190.63	210.97	185.36	160.00
[31]	245.78	291.20	350.62	34.80	105.84	190.63	210.97	185.36	160.00
[32]	138.51	180.14	233.38	26.14	80.98	147.47	112.37	99.16	85.91
本文	44.04	55.55	69.78	9.41	26.32	45.32	34.63	29.22	24.46

## 5 结论

本文以功耗指标为依据,从 QCA 技术的功耗模型出发,分析影响 QCA 电路功耗的因素. 在元胞尺寸、工作温度等方面相同的情况下,电路的总功耗与复杂度及元胞间的相互作用强度有关. 在影响半径为 41nm 的共面 QCA 系统中,定义了元胞的耦合度以定性反映元胞的相互作用. 同时根据元胞的位置关系构造五输入择多门模型,并将目前的五输入择多门进行类型划分. 一方面通过软件测试,比较现有的五输入择多门的功耗,另一方面通过分析找出低功耗门结构的特点.

在此基础上,指导设计一个共面低功耗五输入择多门,与以往的共面五输入择多门相比,其功耗最低,其他电路参数也非常优异. 为了验证该门在具体电路的性能,选择 MR Azghadi 结构设计了一款新型全加器. 与同类共面全加器相比,无论在复杂度、面积、延迟还是功耗上都最优,所以提出的低功耗新型五输入择多门将有很好的应用前景.

### 参考文献

- [1] Das K, De D. Characterisation, applicability and defect analysis for tiles nanostructure of quantum dot cellular automata[J]. *Molecular Simulation*, 2011, 37(3): 210 – 225.
- [2] Tougaw P D, Lent C S. Logical devices implemented using quantum cellular automata[J]. *Journal of Applied Physics*, 1994, 75(3): 1818 – 1825.
- [3] Navi K, Sayedsalehi S, Farazkish R, Azghadi M R. Five-input majority gate, a new device for quantum-dot cellular automata[J]. *Journal of Computational and Theoretical Nanoscience*, 2010, 7(8): 1546 – 1553.
- [4] Navi K, Farazkish R, Sayedsalehi S, Rahimi Azghadi M. A new quantum-dot cellular automata full-adder[J]. *Microelectronics Journal*, 2010, 41(12): 820 – 826.
- [5] Hashemi S, Tehrani M, Navi K. An efficient quantum-dot cellular automata full-adder[J]. *Scientific Research and Essays*, 2012, 7(2): 177 – 189.
- [6] Roohi A, Khademolhosseini H, Sayedsalehi S, Navi K. A symmetric quantum-dot cellular automata design for 5-input majority gate[J]. *Journal of Computational Electronics*, 2014, 13(3): 701 – 708.
- [7] Hashemi S, Navi K. A novel robust qca full-adder[J]. *Procedia Materials Science*, 2015, 11: 376 – 380.
- [8] Angizi S, Sarmadi S, Sayedsalehi S, Navi K. Design and evaluation of new majority gate-based ram cell in quantum-dot cellular automata[J]. *Microelectronics Journal*, 2015, 46(1): 43 – 51.
- [9] Sheikhfaal S, Angizi S, Sarmadi S, Hossein Moaiyeri M, Sayedsalehi S. Designing efficient qca logical circuits with power dissipation analysis[J]. *Microelectronics Journal*, 2015, 46(6): 462 – 471.
- [10] Kassa S R, Nagaria R K. A novel design of quantum dot cellular automata 5-input majority gate with some physical proofs[J]. *Journal of Computational Electronics*, 2015, 15(1): 324 – 334.
- [11] Sasamal T N, Singh A K, Mohan A. An optimal design of full adder based on 5-input majority gate in coplanar quantum-dot cellular automata[J]. *Optik*, 2016, 127(20): 8576 – 8591.
- [12] Akeela R, Wagh M D. A five-input majority gate in quantum-dot cellular automata[J]. *Nanotechnology*, 2011, 2: 13 – 16.
- [13] Balali M, Rezai A, Balali H, Rabiei F, Emadi S. A novel design of 5-input majority gate in quantum-dot cellular automata technology[A]. 2017 IEEE Symposium on Computer Applications & Industrial Electronics (ISCAIE) [C]. Langkawi, Malaysia: IEEE, 2017. 13 – 16.
- [14] Sen B, Chowdhury M R, Mukherjee R, Goswami M, Sikdar B K. Reliability-aware design for programmable qca logic with scalable clocking circuit[J]. *Journal of Computational Electronics*, 2017, 16(2): 473 – 485.
- [15] Khosroshahy M B, Moaiyeri M H, Navi K, Bagherzadeh N. An energy and cost efficient majority-based ram cell in quantum-dot cellular automata[J]. *Results in Physics*, 2017, 7: 3543 – 3551.
- [16] Silva P A R, Alves J R S, Ferreira R S, Neto O P V, Nacif J A M. A novel five-input multiple-function qca threshold gate[A]. 2018 IEEE International Symposium on Circuits and Systems (ISCAS) [C]. Florence, Italy: IEEE, 2018. 1 – 5.
- [17] Sasamal T N, Singh A K, Mohan A. An efficient design of quantum-dot cellular automata based 5-input majority gate with power analysis[J]. *Microprocessors and Microsystems*, 2018, 59: 103 – 117.
- [18] Azghadi M R, Kavehei O, Navi K. A novel design for quantum-dot cellular automata cells and full adders[J]. *Journal of Applied Sciences*, 2007, 7(22): 3460 – 3468.
- [19] Srivastava S, Asthana A, Bhanja S, Sarkar S. Qcapro-an error-power estimation tool for qca circuit design[A]. 2011 IEEE International Symposium of Circuits and Systems (ISCAS) [C]. Rio de Janeiro, Brazil: IEEE, 2011. 2377 – 2380.
- [20] Walus K, Dysart T J, Jullien G A, Budiman R A. Qcadesigner: A rapid design and simulation tool for quantum-dot cellular automata[J]. *IEEE Transactions On Nanotechnology*, 2004, 3(1): 26 – 31.
- [21] Sen B, Rajoria A, Sikdar B K. Design of efficient full adder in quantum-dot cellular automata[J]. *Scientific World*

- Journal, 2013, 2013(1): 1 – 10.
- [22] Bishnoi B, Giridhar M, Ghosh B, Nagaraju M. Ripple carry adder using five input majority gates [A]. 2012 IEEE International Conference on Electron Devices and Solid State Circuit (EDSSC) [C]. Bangkok, Thailand: IEEE, 2012. 1 – 4.
- [23] Sayedsalehi S, Moaiyeri M H, Navi K. Novel efficient adder circuits for quantum-dot cellular automata [J]. Journal of Computational and Theoretical Nanoscience, 2011, 8(9): 1769 – 1775.
- [24] Sarmadi S, Sayedsalehi S, Fartash M, Angizi S. A structured ultra-dense qca one-bit full-adder cell [J]. Quantum Matter, 2016, 5(1): 118 – 123.
- [25] Roohi A, DeMara R F, Khoshavi N. Design and evaluation of an ultra-area-efficient fault-tolerant qca full adder [J]. Microelectronics Journal, 2015, 46(6): 531 – 542.
- [26] Mohammadi M, Mohammadi M, Gorgin S. An efficient design of full adder in quantum-dot cellular automata (qca) technology [J]. Microelectronics Journal, 2016, 50(16): 35 – 43.
- [27] Seyedi S, Navimipour N J. An optimized design of full adder based on nanoscale quantum-dot cellular automata [J]. Optik, 2018, 158: 243 – 256.
- [28] Angizi S, Alkaldy E, Bagherzadeh N, Navi K. Novel robust single layer wire crossing approach for exclusive or sum of products logic design with quantum-dot cellular automata [J]. Journal of Low Power Electronics, 2014, 10(2): 259 – 271.
- [29] Labrado C, Thapliyal H. Design of adder and subtractor circuits in majority logic-based field-coupled qca nanocomputing [J]. Electronics Letters, 2016, 52(6): 464 – 466.
- [30] Waje M G, Dakhole P. Analysis of various approaches used for the implementation of qca based full adder circuit [A]. 2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT) [C]. Chennai, India: IEEE, 2016. 2424 – 2428.
- [31] Zhang Y, Xie G, Sun M, Lv H. An efficient module for full adders in quantum-dot cellular automata [J]. International Journal of Theoretical Physics, 2018, 57(10): 3005 – 3025.
- [32] Mohammadyan S, Angizi S, Navi K. New fully single layer qca full-adder cell based on feedback model [J]. International Journal of High Performance Systems Architecture, 2015, 5(4): 202 – 208.

#### 作者简介



邓飞飞 男, 1996 年生于安徽六安, 合肥工业大学电子科学与应用物理学院博士研究生, 研究方向为集成电路设计和量子电路设计。  
E-mail: 2537571527@qq.com



解光军 男, 1970 年生于安徽合肥, 合肥工业大学电子科学与应用物理学院教授, 研究方向为微纳电路与系统和集成电路设计。  
E-mail: gjxie8005@hfut.edu.cn



张永强 (通讯作者) 男, 1991 年生于安徽阜阳, 合肥工业大学电子科学与应用物理学院讲师, 研究方向为微纳电路与系统和集成电路设计。  
E-mail: ahzhangyq@hfut.edu.cn